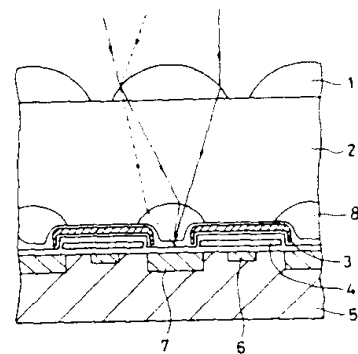


**(54) SOLID-STATE IMAGE PICKUP DEVICE**

(11) 4-37165 (A) (43) 7.2.1992 (19) JP  
 (21) Appl. No. 2-143441 (22) 1.6.1990  
 (71) NEC CORP (72) SHINICHI MURAKAMI  
 (51) Int. Cl. H01L27/14, G02B3/00, H04N5/335

**PURPOSE:** To make it possible to reduce incident light on an electric charge transfer section and minimize a smear component by forming a light receiving section on the surface of a semiconductor substrate, a first converging section on the light receiving section, then, installing a flattened layer on the first light receiving section and forming a second converging section on the flattened layer.

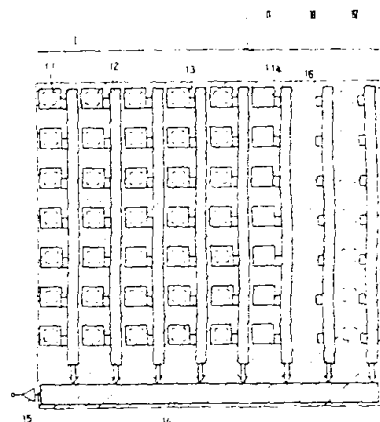
**CONSTITUTION:** Within a surface region of a semiconductor substrate 5 are formed a light receiving section 7 and an electric charge transfer section 6. A gate electrode 4 is installed on the electric charge transfer section 6 by way of an insulation film. Furthermore, there is installed a light shielding film having an opening section on the light receiving section 7. A first converging section 8 made of a transparent material is installed on the opening section of the light shielding section 3. A second converging section 1 is formed on the flattened layer of the upper layer so that its optical axis may conform to the optical axis of the first converging section. This construction makes it possible to refract the incident light, which is entered the second converging section 1 at a large incident angle, at the second converging section 1 and then refract the light once again at the first converging section 8.

**(54) SOLID-STATE IMAGE PICKUP DEVICE**

(11) 4-37166 (A) (43) 7.2.1992 (19) JP  
 (21) Appl. No. 2-143443 (22) 1.6.1990  
 (71) NEC CORP (72) TETSUJI KIMURA  
 (51) Int. Cl. H01L27/148, H04N5/335

**PURPOSE:** To make it possible to prevent time fluctuations of the output of an optical signal and hence improve device reliability by classifying an optical dark picture element region of a solid camera device into three types and synthesizing the output from an effective picture element and the three types of the optical dark picture elements.

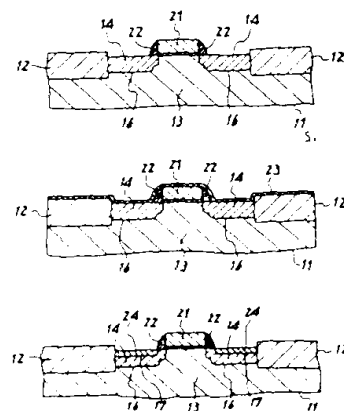
**CONSTITUTION:** Any region which excludes a light receiving section 11 in an effective picture element region I is shielded by a light shielding section 16. In a first optical dark picture element region II which has a dummy light receiving section 11a, a vertical register 12, and a transfer gate section 13, every region is shielded by the light shielding layer 16, the light receiving section is long while in a second optical dark picture element region III which has the vertical register 12 and the transfer gate section 13, the light shielding layer 16 shields the vertical register 12 and the transfer gate section 13 in the same pattern identical to that in the effective picture element region I.

**(54) SEMICONDUCTOR DEVICE**

(11) 4-37167 (A) (43) 7.2.1992 (19) JP  
 (21) Appl. No. 2-144056 (22) 1.6.1990  
 (71) SONY CORP (72) HIROBUMI SUMI  
 (51) Int. Cl. H01L29/46, H01L21/28, H01L21/336, H01L21/90, H01L29/784

**PURPOSE:** To make it possible to inhibit the generation of junction leakage between a silicide layer and a silicon substrate and hence improve reliability by forming a single crystal silicide layer on the surface of an impurity diffusion layer of a single-crystal silicon substrate.

**CONSTITUTION:** A gate electrode 21, a side wall spacer 22 for LDD structure and an impurity diffusion layer 14, which serves as a source drain are formed where a metal film 23 is further deposited thereon. Ni is used for the metal for example. Then, heat treatment is carried out so that the Si of the impurity layer 14 may react against the metal film 23. The metal film 23 on an SiO<sub>2</sub> film 12, which has not reacted yet, is etched so that a single-crystal silicide film 24 may be formed in a self-alignment manner only on the surface of the impurity diffusion layer 14.



③ 日本国特許庁(JP)

⑩ 特許出願公開

⑨ 公開特許公報(A) 平4-37167

⑤ Int.Cl.<sup>8</sup>

H 01 L 29/46  
21/28  
21/336  
21/90  
29/784

識別記号

3 0 1 T  
T  
D

庁内整理 号

7738-4M  
7738-4M  
6810-4M

④ 公開 平成4年(1992)2月7日

8422-4M H 01 L 29/78 3 0 1 P  
審査請求 未請求 請求項の数 1 (全4頁)

⑥ 発明の名称 半導体装置

⑦ 特 願 平2-144056

⑧ 出 願 平2(1990)6月1日

⑨ 発 明 者 角 博 文 東京都品川区北品川6丁目7番35号 ソニー株式会社内  
⑩ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号  
⑪ 代 理 人 弁理士 土 屋 勝

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

単結晶シリコン基板の不純物拡散層の表面部に  
単結晶シリサイド層が形成されている半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、シリコン基板の不純物拡散層にシリ  
サイド層が裏打ちされている半導体装置に関する  
ものである。

〔発明の概要〕

本発明は、上記の様な半導体装置において、シ  
リサイド層を単結晶にすることによって、信頼性  
を高めたものである。

〔従来の技術〕

MOSTランジスタ等の微細化に伴い、短チャ  
ネル効果等を軽減するために、浅い接合の形成が  
必要とされている。しかし浅い拡散層では、シー  
ト抵抗及びコンタクト抵抗が著しく高くなる。こ  
のため、拡散層の表面にシリサイド層を裏打ちす  
る構造が採用されている(例えば、特開昭63-  
84064号公報)。

第3図は、この様な構造の半導体装置の一従来  
例を示している。即ち、単結晶Si基板11に素子  
分離用のSiO<sub>2</sub>膜12が形成されており、このSiO<sub>2</sub>  
膜12に囲まれている素子形成領域13に不純物  
拡散層14が形成されている。そして更に、この  
不純物拡散層14の表面部に、TiSi<sub>2</sub>層等である  
シリサイド層15が形成されている。

一方、不純物拡散層14のシート抵抗をできる  
限り低くするためには、不純物拡散層14とSi基  
板11との接合面16にできる限り近い位置にま  
で、シリサイド層15と不純物拡散層14との界  
面17を近付ける必要がある。

## 〔発明が解決しようとする課題〕

ところが、従来例におけるシリサイド層15は多結晶であり、界面17は凹凸状態になっている。このため、スパイク現象や電界集中等が生じ易く、界面17を接合面16に近接させると、シリサイド層15とSi基板11との間で接合リークが生じ易かった。

従って、不純物拡散層14のシート抵抗を低くしようとした従来例では、信頼性が必ずしも高くなかった。

## 〔課題を解決するための手段〕

本発明による半導体装置では、単結晶シリコン基板11の不純物拡散層14の表面部に単結晶シリサイド層24が形成されている。

## 〔作用〕

本発明による半導体装置では、不純物拡散層14の表面部に形成されているシリサイド層24が

結晶であるので、このシリサイド層24と不純物拡散層14との界面17が平滑である。このため、スパイク現象や電界集中等が生じにくく、シリサイド層24とシリコン基板11との間で接合リークが生じにくい。

## 〔実施例〕

以下、MOSトランジスタに適用した本発明の第1及び第2実施例を、第1図及び第2図を参照しながら説明する。

第1図が、第1実施例の製造工程を示している。この製造工程でも、第1A図に示す様に、ゲート電極21、LDD構造用の側壁スペーサ22及びソース/ドレインとしての不純物拡散層14を形成するまでは、従来公知の工程によって行う。

次に、第1B図に示す様に金属膜23を堆積させるが、このための金属としては下記の表に記載されている金属等、例えばNiを用いる。

金属	シリサイド	シリサイドの 格子定数(Å)
Co	CoSi <sub>2</sub>	5.365
Ni	NiSi <sub>2</sub>	5.406
Pt	PtSi	5.59
Pd	PdSi	5.599

次に、熱処理を施して不純物拡散層14のSiと金属膜23とを反応させ、SiO<sub>2</sub>膜12上の未反応の金属膜23をエッチングすることによって、第1C図に示す様に、不純物拡散層14の表面部にのみ自己整合的にシリサイド層24を形成する。

ところで、単結晶Si基板11のSiの格子定数は5.43035 Åであり、上記の表の何れのシリサイドの格子定数もSiの格子定数に近い。このため、シリサイド層24はエピタキシャル成長し、このシリサイド層24も単結晶である。

その後は、第1D図に示す様に、層間絶縁膜と

してのSiO<sub>2</sub>膜25の堆積、シリサイド層24に達するコンタクト孔26の開孔及びA2配線27のパターニング等を、従来公知の工程によって行う。

以上の様にして製造した第1実施例では、シリサイド層24が単結晶であるので、不純物拡散層14との界面17が平滑である。

しかも、上述の様にシリサイド層24がエピタキシャル成長するので、このシリサイド層24の厚さを原子のオーダーで制御することができる。従って、接合面16の深さが100 Å程度と浅くても、厚さが80 Å程度のシリサイド層24を制御性良く形成することができる。

第2図は、第2実施例の製造工程を示している。この製造工程でも、Ni膜等である金属膜23の堆積までは、上述の第1実施例の場合と同様に行う。

しかしこの第2実施例では、第2A図に示す様に、金属膜23とは別の金属膜31を金属膜23上に更に堆積させる。このための金属としては、シリサイドの抵抗率が特に低い金属、例えばTiを用いる。

その後、この状態で熱処理を施す。すると、不純物拡散層14のSiと金属膜23の金属とが拡散して、第2B図に示す様に、 $\text{NiSi}_2$ 層等であるシリサイド層24が形成される。

そして、このシリサイド層24を過って更にSiが拡散し、このSiと金属膜31とが反応して、 $\text{TiSi}_2$ 層等であるシリサイド層32がシリサイド層24上に形成される。

なお、シリサイド層24は上述の様に単結晶であるが、 $\text{TiSi}_2$ 等はSiと格子定数の差が大きく、シリサイド層32はエピタキシャル成長しない。従って、このシリサイド層32は多結晶である。

次いで、 $\text{SiO}_2$ 膜12上の未反応の金属膜23、31をエッチングすることによって、第2B図に示す様に、不純物拡散層14の表面部にのみ自己整合的に2層のシリサイド層24、32を形成する。

その後は、第2C図に示す様に、第1実施例の場合と同様の工程によって、A2配線27等を形成する。

ところで、例えば $\text{NiSi}_2$ の抵抗率が $50 \sim 60 \mu\Omega\text{cm}$ 程度であるのに対して、例えば $\text{TiSi}_2$ の抵抗率は $25 \mu\Omega\text{cm}$ 程度と $\text{NiSi}_2$ に比べて相当地に低い。

従って、第1実施例の様にシリサイド層24のみでは不純物拡散層14の抵抗は必ずしも十分には低くならないが、この第2実施例の様にシリサイド層24を不純物拡散層14との境界層にすると共にシリサイド層32を伝導層として機能させれば、不純物拡散層14の抵抗を十分に低くすることができる。

#### (発明の効果)

本発明による半導体装置では、シリサイド層とシリコン基板との間で接合リークが生じにくいので、信頼性が高い。

#### 4. 図面の簡単な説明

第1図及び第2図は本発明の夫々第1及び第2実施例の製造工程を順次に示す側断面図である。

第3図は本発明の一従来例の側断面図である。

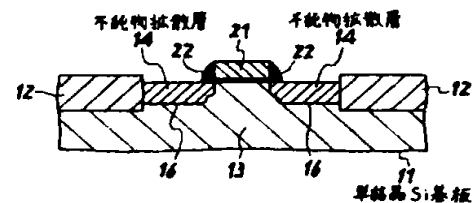
なお図面に用いた符号において、

- 11 ..... 単結晶Si基板
- 14 ..... 不純物拡散層
- 24 ..... シリサイド層

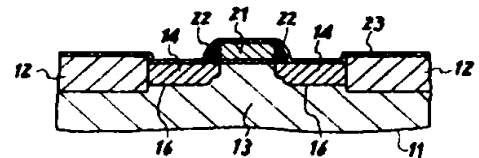
である。

代理人 土屋 勝

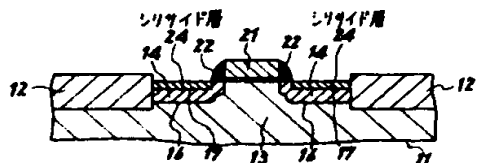
製造工程  
第1A図



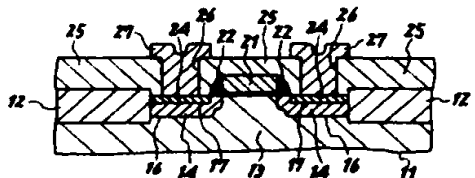
第1B図



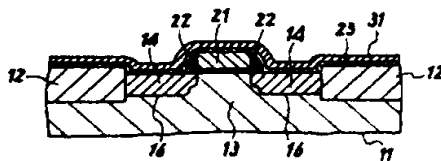
第1C図



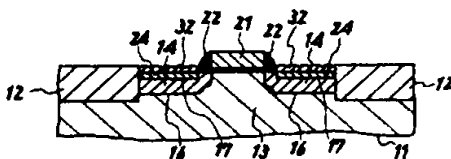
第1D図



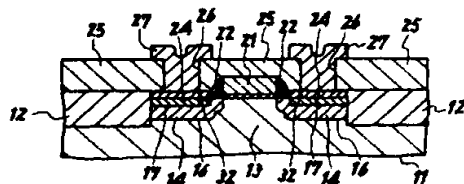
製造工程  
第2A圖



第2B圖



第2C圖



半導体装置  
第3圖

